

CMOS 电路中 ESD 保护结构的设计

作者 王大睿

上海交通大学 微电子工程系

摘要: 本文研究了在 CMOS 工艺中 I/O 电路的 ESD 保护结构设计以及相关版图的要求, 其中重点讨论了 PAD 到 VSS 电流通路的建立。

关键词: ESD 保护电路, ESD 设计窗口, ESD 电流通路

Construction Strategy of ESD Protection Circuit

Abstract: The principles used to construct ESD protection on circuits and the basic concepts of ESD protection design are presented.

Key words: ESD protection/On circuit, ESD design window, ESD current path

1 引言

静电放电 (ESD, Electrostatic Discharge) 给电子器件环境会带来破坏性的后果。它是造成集成电路失效的主要原因之一。随着集成电路工艺不断发展, 互补金属氧化物半导体 (CMOS, Complementary Metal-Oxide Semiconductor) 的特征尺寸不断缩小, 金属氧化物半导体 (MOS, Metal-Oxide Semiconductor) 的栅氧厚度越来越薄, MOS 管能承受的电流和电压也越来越小, 因此要进一步优化电路的抗 ESD 性能, 需要从全芯片 ESD 保护结构的设计来进行考虑。

2 ESD 的测试方法

ESD 模型常见的有三种, 人体模型 (HBM, Human Body Model)、充电器件模型 (CDM, Charge Device Model) 和机器模型 (MM, Machine Mode), 其中以人体模型最为通行。一般的商用芯片, 要求能够通过 2kV 静电电压的 HBM 检测。对于 HBM 放电, 其电流可在几百纳秒内达到几安培, 足以损坏芯片内部的电路。

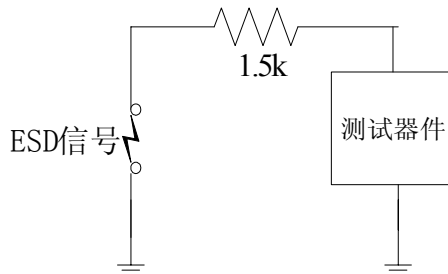


图1
人体模式(HBM)的等效电路。人体的等效电阻为 1.5kΩ。

进入芯片的静电可以通过任意一个引脚放电, 测试时, 任意两个引脚之间都应该进行放电测试, 每次放电检测都有正负两种极性, 所以对 I/O 引脚会进行以下六种测试:

- 1) PS 模式: VSS 接地, 引脚施加正的 ESD 电压, 对 VSS 放电, 其余引脚悬空;
- 2) NS 模式: VSS 接地, 引脚施加负的 ESD 电压, 对 VSS 放电, 其余引脚悬空;
- 3) PD 模式: VDD 接地, 引脚施加正的 ESD 电压, 对 VDD 放电, 其余引脚悬空;
- 4) ND 模式: VDD 接地, 引脚施加负的 ESD 电压, 对 VDD 放电, 其余引脚悬空;
- 5) 引脚对引脚正向模式: 引脚施加正的 ESD 电压, 其余所有 I/O 引脚一起接地, VDD 和 VSS 引脚悬空;
- 6) 引脚对引脚反向模式: 引脚施加负的 ESD 电压, 其余所有 I/O 引脚一起接地, VDD 和 VSS 引脚悬空。

VDD 引脚只需进行(1)(2)项测试

3 ESD 保护原理

ESD 保护电路的设计目的就是要避免工作电路成为 ESD 的放电通路而遭到损害, 保证在任意两芯片引脚之间发生的 ESD, 都有适合的低阻旁路将 ESD 电流引入电源线。这个低阻旁路不但要能吸收 ESD 电流, 还要能钳位工作电路的电压, 防止工作电路由于电压过载而受损。这条电路通路还需要有很好的工作稳定性, 能在 ESD 发生时快速响应, 而且还不能对芯片正常工作电路有影响。

4 CMOS 电路 ESD 保护结构的设计

根据 ESD 的测试方法以及 ESD 保护电路的原理可知, 在芯片中我们需要建立六种低阻 ESD 电流通路, 它们分别是:

- 1) 引脚焊块 (PAD) 到 VSS 的低阻放电通路
- 2) VSS 到 PAD 的低阻放电通路
- 3) PAD 到 VDD 的低阻放电通路
- 4) VDD 到 PAD 的低阻放电通路
- 5) PAD 受到正向 ESD 放电时, PAD 到 PAD 的通路
- 6) PAD 受到负向 ESD 放电时, PAD 到 PAD 的通路
- 7) VDD 与 VSS 之间的电流通路

大部分的 ESD 电流来自电路外部, (CMD 模型除外, 它是基于已带电的器件通过管脚与地接触时, 发生对地放电引起器件失效而建立的), ESD 保护电路一般设计在 PAD 旁, 输入输出 (I/O, Input/Output) 电路内部。典型的 I/O 电路示意图 (如图 2), 它的工作电路由两部分组成输出驱动 (Output Driver) 和输入接收器 (Input Receiver)。ESD 通过 PAD 导入芯片内部, 因此 I/O 里所有与 PAD 直接相连的器件都需要建立与之平行的 ESD 低阻旁路, 将 ESD 电流引入电压线, 再由电压线分布到芯片各个管脚, 降低 ESD 的影响。具体到 I/O, 就是与 PAD 相连的输出驱动和输入接收器。根据对 ESD 低阻放电通路的要求, 上面六条通路必须保证在 ESD 发生时, 形成与保护电路并行的低阻通路, 旁路 ESD 电流, 且能立即有效地钳位保护电路电压。而在这两部分正常工作时, 不影响电路的正常工作。

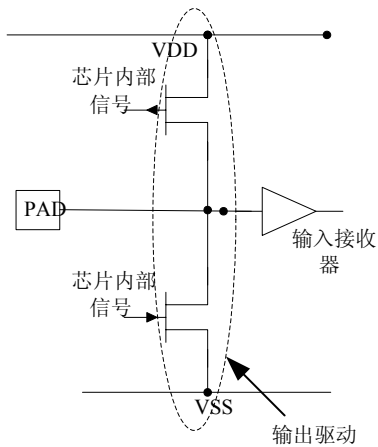


图 2 典型的I/O电路示意图

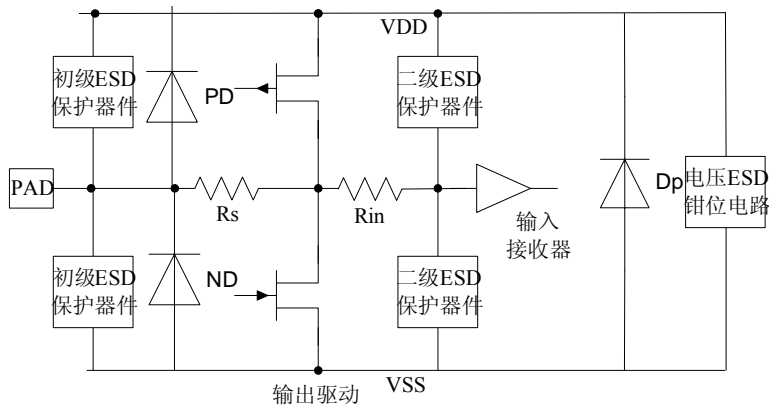


图3 加入ESD电流通路的I/O电路, 二极管ND是NMOS漏极与P型衬底形成的寄生二极管, 二极管PD是PMOS漏极与N阱形成的寄生二极管,VDD与VSS之间的二极管Dp是N阱与P型衬底形成的寄生二极管. 电阻Rs和Rin用于进一步降低被保护器件上的ESD电压。

图 3 是加入 ESD 电流通路的 I/O 电路, 在图 3 所列的所有器件中, HBM 模式下 输出驱动上的 N 型 MOS 管 (NMOS) 是最容易受损坏的。因此下面会对输出驱动中 NMOS 管的 ESD 低阻旁路给出比较详细的介绍。

● PS 模式下 PAD, VSS 之间的 ESD 低阻旁路

每一个 I/O 引脚电路中都应建立一个 PAD 到 VSS 的 ESD 保护电路 (图 4)。

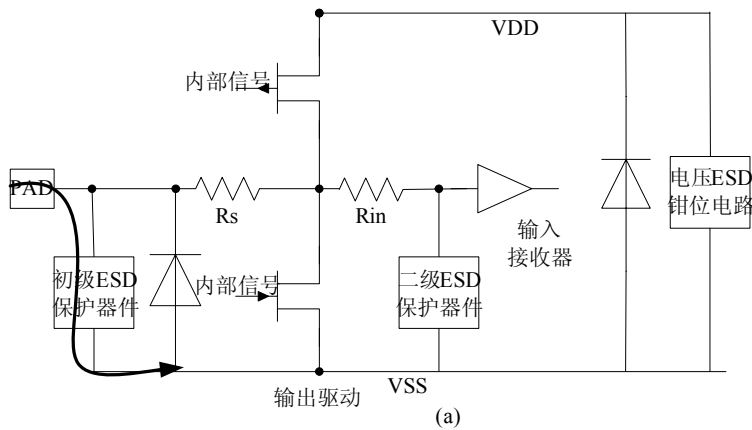


图 4 PAD对VSS反向ESD放电时的电流通路.

常用的 ESD 保护器件有电阻、二极管、双极性晶体管、MOS 管、可控硅 (SCR) 等。由于 MOS 管与 CMOS 工艺兼容性好, 我们常采用 MOS 管构造保护电路。

CMOS 工艺条件下的 NMOS 管有一个横向寄生 n-p-n(源极-p 型衬底 - 漏极)晶体管, 如图 5(a)所示

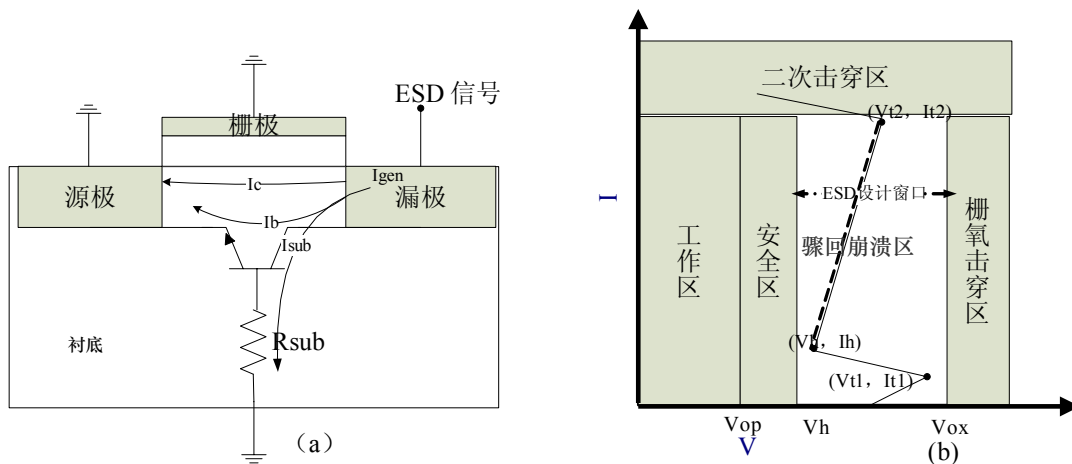


图 5 (a) NMOS管有一个横向寄生n-p-n(源极-p型衬底 - 漏极)晶体管。Rsub为衬底电阻 (b) ESD 设计窗口

这个寄生的晶体管开启时能吸收大量的电流。利用这一现象可在较小面积内设计出较高 ESD 耐压值的保护电路, 其中最典型的器件结构就是栅极接地 NMOS (GGNMOS, Gate Grounded NMOS)。

在正常工作情况下, NMOS 横向晶体管不会导通。当 ESD 发生时, 漏极和衬底的耗尽区将发生雪崩, 并伴随着电子空穴对的产生。一部分产生的空穴被源极吸收, 其余的流过衬底。由于衬底电阻 R_{sub} 的存在, 使衬底电压提高。当衬底和源之间的 PN 结正偏时, 电子就从源发射进入衬底。这些电子在源漏之间的电场的作用下, 被加速, 产生电子、空穴的碰撞电离, 从而形成更多的电子空穴对, 使流过 n-p-n 晶体管的电流不断增加, 最终使 NMOS 晶体管发生二次击穿, 此时的击穿不再可逆, 则 NMOS 管损坏。

图 5 (b) 展示了这一过程的 I-V 特性, 其中 (V_{t1}, I_{t1}) 为衬底和源之间的 PN 结正偏,

横向晶体管开启时的电压电流, (V_h, I_h) 为 NMOS 横向晶体管的钳位电压和电流, (V_{t2}, I_{t2}) 是 NMOS 横向晶体管发生二次击穿时的电压和电流。NMOS 管正常工作的区域在 V_{op} 之内。为了防止如噪音等外界影响使 NMOS 在正常工作区域触发, V_{op} 与 V_h 之间需要一个安全区。 V_{ox} 是 NMOS 管的栅氧击穿电压。如果 ESD 保护器件的电压设计在安全区与栅氧击穿区之间, 电流设计在 I_{t2} 以内。ESD 保护器件就能在不损伤管子也不影响工作电路的情况下完成对电路的保护

我们可以通过 ESD 钳制电路的 HBM 耐压值来推断 ESD 钳制电路器件的大概宽度。如果 GGNMOS 可通的最大电流密度是 $10\text{mA}/\mu\text{m}$, 则要达到 2kv HBM 耐压值 这个 ESD 钳制电路要经受 1.33A 的电流 (图 1), NMOS 的宽度至少是 $133\mu\text{m}$ 。为了在较小的面积内画出大尺寸的 NMOS 管子, 在版图图中我们采用常把它画成手指状(finger-type), 把 NMOS 管中的单一“手指”作为一个单元, 然后多次引用这个单元。画版图时应严格遵循 I/O ESD 的设计规则。

为了进一步降低输出驱动上 NMOS 在 ESD 时两端的电压, 可在 ESD 保护器件与 GGNMOS 之间加一个电阻(图 6)。这个电阻不能影响工作信号, 因此不能太大。画版图时可采用多晶硅 (poly) 电阻。

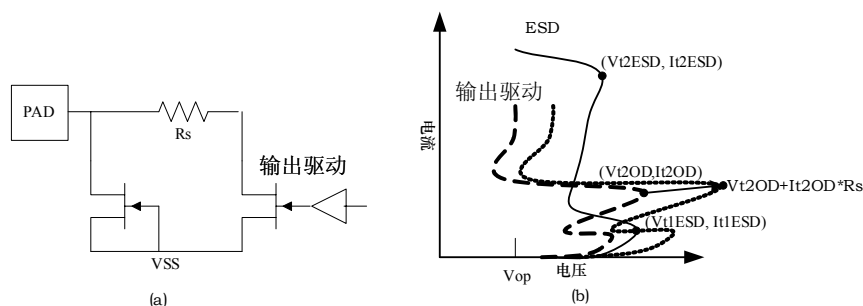


图 6 (a) PAD到VSS电流通路的等效电路图 (b)ESD发生时的I-V特性图, 电阻 R_s 会让 OD ESD耐压值有一个 $I_{t2OD} * R_s$ 的偏移

在 ESD 发生时, 不一定每一个 NMOS“手指”会一齐导通, 这样 ESD 保护电路的有效耐压值就由开始导通的几个 NMOS “手指”决定。为了避免这种情况, 提高 ESD 器件防护能力可在 NMOS 栅极和地之间加一个电阻 R_{gate} (图 7)。

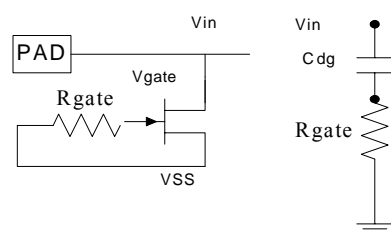


图7 a) 在输出驱动NMOS管栅地间加上电阻
b) 栅地加电阻后, ESD时的等效电路图, C_{dg} 为NMOS管栅漏间的寄生电容

由于栅漏间寄生电容的存在, ESD 瞬态正电压加在 PAD 上时, 图 7 中 NMOS 上的栅极也会耦合一个瞬态正电压, 因此 NMOS 上的每一个“手指”会一齐导通, 不用到达 V_{t1} 就能进入寄生横向晶体管骤回崩溃区(snapback region). 栅极电压由 R_{gate} 放电到地. 这个瞬态电压持续的时间由栅漏寄生电容和栅地电阻组成的 RC 时间常数决定。栅地电阻必须足够大, 保证在电路正常工作时这个栅极耦合 NMOS 管是关闭的。

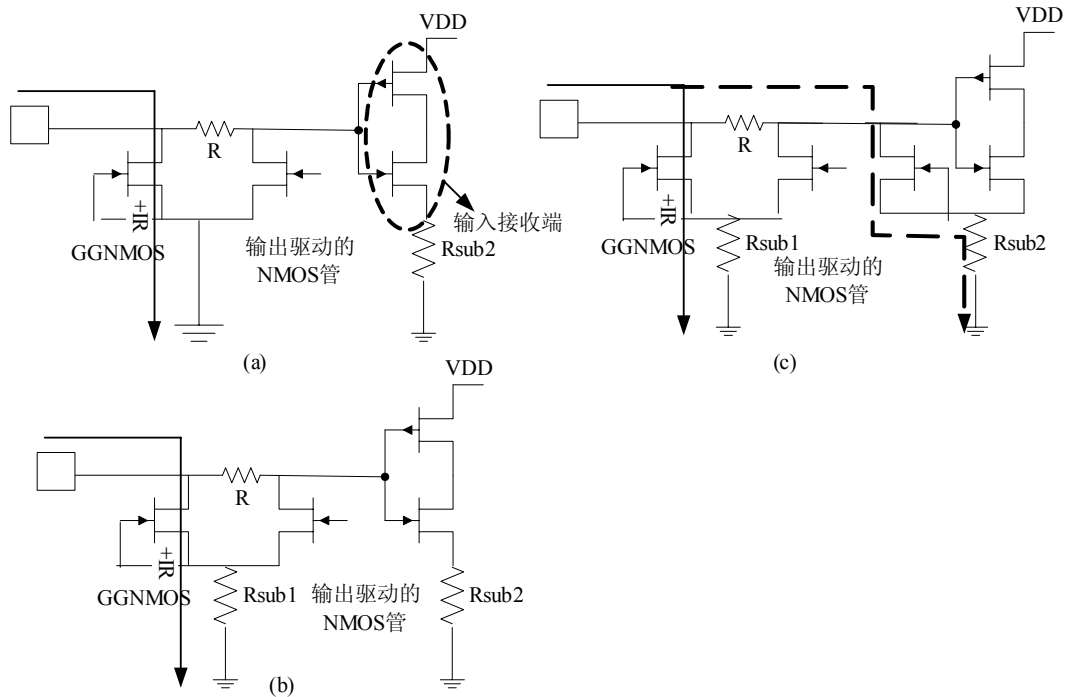


图 8 (a) 理想状况下的电流通路 (b) 长距离产生的寄生电阻使输入接收中的栅氧被击穿 (c) 解决方法

只采用初级 ESD 保护，在大 ESD 电流时，电路内部的管子还是有可能被击穿。如图 8 所示，GGNMOS 导通，理想状况下（图 8 a），衬底和金属连线上都没有电阻，吸收大部分 ESD 电流。实际情况是（图 8 b），GGNMOS 导通，由于 ESD 电流很大，衬底和金属连线上电阻都不能忽略，此时 GGNMOS 并不能钳位住输入接收端栅电压，因为让输入接收端氧化栅的电压达到击穿电压的是 GGNMOS 与输入接收端衬底间的 IR 压降。为避免这种情况可在输入接收端附近加一个小尺寸 GGNMOS 进行二级 ESD 保护（图 8c），用它来钳位输入接收端栅电压。在画版图时，必须注意将 二级 ESD 保护电路紧靠输入接收端，以减小输入接收端与二级 ESD 保护电路之间衬底及其连线的电阻。

● NS 模式下 VSS, PAD 之间 ESD 低阻旁路

在 ESD 过程中，如果 PAD 对 VSS 负向放电，放电通路由 p 型衬底和每一个与 PAD 相连 NMOS 的漏极产生的寄生二极管组成（图 9）所示。此时二极管正向导通，因为二极管正向导通电压小，导通电阻小，有很高 ESD 防护能力，PAD 对 VSS 的负向放电可以很容易的分布到芯片各个管脚。

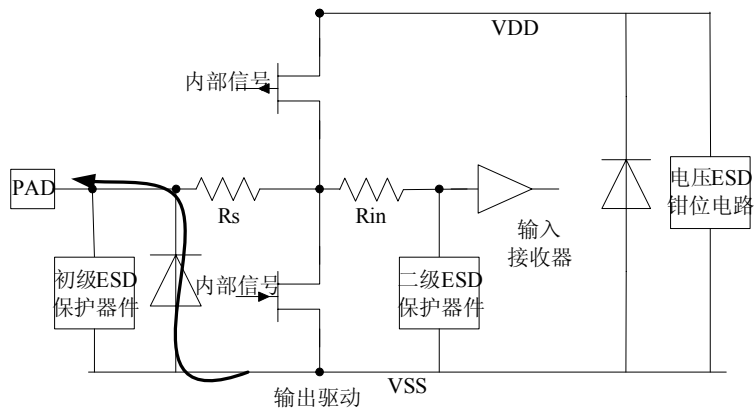


图 9 PAD对VSS反向ESD放电时的电流通路

- **PD 模式下 PAD, VDD 之间 ESD 低阻旁路**

在 ESD 过程中, 如果 PAD 对 VDD 正向放电, 放电通路由 N 阱和每一个与 PAD 相连 PMOS 的漏极产生的寄生二极管组成。此时二极管正向导通, 有很高 ESD 防护能力, PAD 对 VDD 的正向放电可以很容易的分布到芯片各个管脚。

- **ND 模式下 VDD, PAD 之间 ESD 低阻旁路**

在 ESD 过程中, 如果 PAD 对 VDD 负向放电, 放电通路如图 10。PAD 对 VDD 负向放电通路由 PMOS 横向寄生晶体管组成。电路原理和结构与 PS 模式下 PAD 到 VSS 的电路类似。

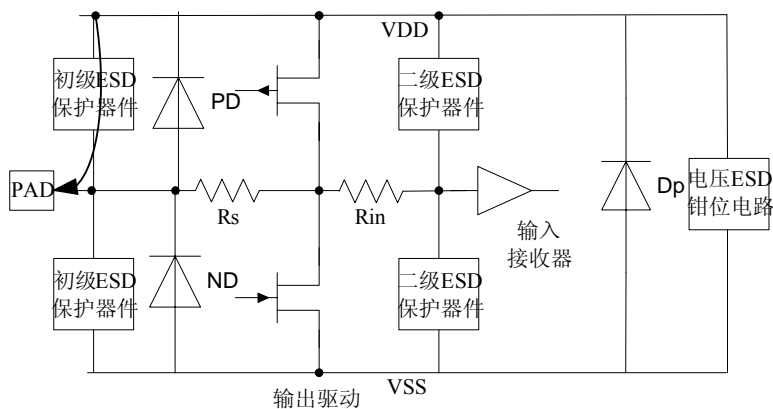


图 10 PAD对VDD反向放电电流通路

- **VDD, VSS 之间 ESD 低阻旁路**

VDD, VSS 的 PAD 上也可能发生 ESD 事件, 因此也需要有 ESD 保护。

在 ESD 过程中, 如果 VDD 对 VSS 正向放电, 基本的 VDD 到 VSS 的保护电路结构是在 VDD 和 VSS 之间加一个大尺寸的 GGNMOS (如图 11)。为了提高 VDD 到 VSS 之间保护电路的效率, 减小电源线间寄生电阻电容对其 ESD 保护性能的影响, 可将这个保护电路复制多份, 分布到芯片中去。

在 ESD 过程中, 如果 VDD 对 VSS 反向放电, ESD 电流通过 P 衬底和 N 阱形成的二极管被旁路掉, 此时这个寄生二极管正向导通, 所以它的 ESD 保护能力强。

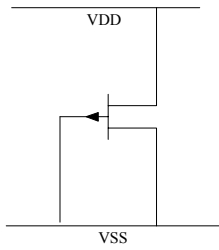


图11 VDD到VSS 基本 ESD电路保护结构

- **PAD, PAD 之间 ESD 低阻旁路**

在 PAD 到 PAD 的电流通路中,ESD 电流经输入端的 ESD 保护器件流入电源线,再通过电源线流经个个输出端的 ESD 保护器件到地。

5 综述

ESD 保护电路不是单一芯片引脚的问题,它要从整个芯片全盘考虑。芯片里每一个的 I/O 电路中都需要建立相应 ESD 保护电路,ESD 保护电路在版图中要画在 PAD 旁。VDD 到 VSS 之间也需要 ESD 保护电路, VDD 到 VSS 之间的 ESD 保护电路在芯片中要能多次引用。每一个有输入接收端的 I/O 电路上应加二级 ESD 保护,二级 ESD 保护电路在版图中要尽量靠近输入接收端。电源线用于吸收 ESD 电流,在版图中尽量画宽,减小电源线上的电阻。

参考文献:

- [1]. JESD22-A114D, www.jedec.org/download/search/22a114D.pdf
- [2]. Ajith Amerasekera, Charvaka Duvvury, “*ESD in Silicon Integrated Circuits, 2nd Edition/On*”, John Wiley & Sons, Ltd, 2002
- [3].SanjayDabral and Timothy Maloney, “*Basic ESD and I/O design*”, John Wiley & Sons, Ltd, 1998
- [4]. MOS集成电路的ESD模型和测试方法探讨,
<http://www.bjx.com.cn/files/wx%5Cxddzjs%5C2004-9%5C28.htm>